



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08213595 A**(43) Date of publication of application: **20.08.96**

(51) Int. Cl.

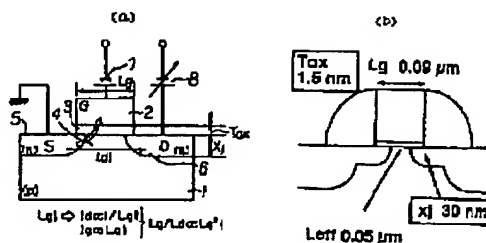
H01L 29/78(21) Application number: **06303900**(22) Date of filing: **07.12.94**(30) Priority: **13.09.94 JP 06218939**
06.12.94 JP 06302342(71) Applicant: **TOSHIBA CORP**(72) Inventor: **MOMOSE HISAYO**
IWAI HIROSHI
SAITO MASANOBU
OGURO TATSUYA
ONO TAMASHIRO
YOSHITOMI TAKASHI
NAKAMURA SHINICHI(54) **SEMICONDER DEVICE**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To have a specific thickness of a gate insulating film besides having a specific gate length to improve reliability under hot carrier stress together with reducing a tunnel current from source/drain electrodes to a gate electrode.

CONSTITUTION: A gate electrode 2 is formed on a p-type semiconductor substrate 1 through an insulating film 3. On each side of a channel forming region 4 directly under this gate electrode 2, n⁺ heavily doped diffusion layers to become a source region 5 and a drain region 6 are formed. Thereby, a thickness of the insulating film 3 is made not to exceed 2.0nm and a gate length of the gate electrode 2 is made not to exceed 0.3μm. By making the insulating film 3 not to exceed 2.0nm, reliability under hot carrier stress is sharply improved. Further, by making the gate length not to exceed 0.3μm, a gate current is sharply decreased to obtain a good transistor characteristic.



This Page Blank (uspto)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 1 3 5 9 5

(43) 公開日 平成 8 年 (1996) 8 月 20 日

(51) Int. Cl.⁶
H 0 1 L 29/78

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78 3 0 1 G

審査請求 未請求 請求項の数 1 4

O L

(全 1 5 頁)

(21) 出願番号 特願平 6 - 303900

(22) 出願日 平成 6 年 (1994) 12 月 7 日

(31) 優先権主張番号 特願平 6 - 218939

(32) 優先日 平 6 (1994) 9 月 13 日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平 6 - 302342

(32) 優先日 平 6 (1994) 12 月 6 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 百 瀬 寿 代

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝研究開発センター内

(72) 発明者 岩 井 洋

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝研究開発センター内

(72) 発明者 斎 藤 雅 伸

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝研究開発センター内

(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

最終頁に続く

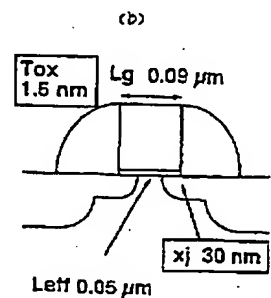
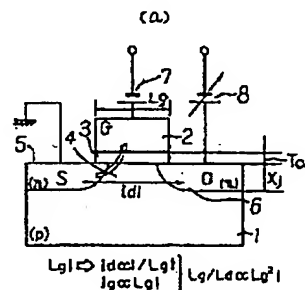
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 M I S 型 F E T の駆動力向上。

【構成】 p 型半導体基板 1 上に絶縁膜 3 を介してゲート電極 2 が形成される。この基板 1 のゲート電極 2 直下に位置するチャネル形成領域 4 の両側には n 型ソース／ドレイン領域 5, 6 が形成される。絶縁膜 3 は厚さ T_{ox} が 2.5 nm 未満とされ、ゲート電極 2 のゲート長 L_g は 0.3 μm 以下とされる。また、この F E T は、電源電圧が 1.5 V 以下の回路で使用されるのが望ましい。

【効果】 駆動電力 I 及びコンダクタンス g_m が向上し、トンネル電流 I_{d2} を減少させることができる。



This Page Blank (uspto)

【特許請求の範囲】

【請求項1】第一導電型の半導体基板と、
該半導体基板上に絶縁膜を介して形成されたゲート電極と、
該半導体基板のゲート電極直下に位置するチャネル形成領域の両側に形成された第二導電型のソース／ドレイン領域とを備え、
前記絶縁膜の厚さが2.0nm以下、前記ゲート電極のゲート長が0.3μm以下であることを特徴とする半導体装置。

【請求項2】半導体装置の一部に請求項1記載の半導体装置を含むことを特徴とする半導体装置。

【請求項3】前記半導体装置の動作時、前記絶縁膜にトンネル電流が流れることを特徴とする請求項1記載の半導体装置。

【請求項4】前記絶縁膜の膜厚は酸化膜厚換算で2.0nm以下であることを特徴とする請求項1記載の半導体装置。

【請求項5】第一導電型の半導体基板と、
該半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
該半導体基板のゲート電極直下に位置するチャネル形成領域の両側に形成された第二導電型のソース／ドレイン領域とを備えたMOS型半導体装置において、
前記ゲート電極のチャネル方向の長さ(Lg)と前記ゲート絶縁膜の厚さ(tox)の関係が以下の関係を満足することを特徴とする半導体装置。

$Lg \leq 10^{(Tox-2.02)}$ このときLgの単位は(μm)
Toxの単位は(nm)

【請求項6】第一導電型の半導体基板と、
該半導体基板上に絶縁膜を介して形成されたゲート電極と、
該半導体基板のゲート電極直下に位置するチャネル形成領域の両側に形成された第二導電型のソース／ドレイン領域とを備え、
前記絶縁膜の厚さが2.0nm以下、前記ゲート電極のゲート長が0.3μm以下であって、前記ゲート電極及びドレイン領域への印加電圧を1.5V以下としたことを特徴とする半導体装置。

【請求項7】前記ゲート電極への印加電圧を0.5V以下としたことを特徴とする請求項6記載の半導体装置。

【請求項8】半導体装置の一部に請求項6記載の半導体装置を含むことを特徴とする半導体装置。

【請求項9】前記半導体装置の動作時、前記絶縁膜にトンネル電流が流れることを特徴とする請求項6記載の半導体装置。

【請求項10】前記絶縁膜の膜厚は酸化膜厚換算で2.0nm以下であることを特徴とする請求項6記載の半導体装置。

【請求項11】第一導電型の半導体基板と、

該半導体基板上に絶縁膜を介して形成されたゲート電極と、
該半導体基板のゲート電極直下に位置するチャネル形成領域の両側に形成された第二導電型のソース／ドレイン領域とを備え、

相互コンダクタンス(gm)が

nMOSにおいて $gm \geq 280 VDD + 200$

pMOSにおいて $gm \geq 150 VDD + 65$

単位はVDD(V)、gm(mS/mm)であることを特徴とする半導体装置。

【請求項12】前記ゲート電極及びドレイン領域への印加電圧を1.5V以下としたことを特徴とする請求項11記載の半導体装置。

【請求項13】前記ゲート電極及びドレイン領域への印加電圧を0.5V以下としたことを特徴とする請求項12記載の半導体装置。

【請求項14】前記半導体装置の動作時、前記絶縁膜にトンネル電流が流れることを特徴とする請求項11記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関するもので、特に低電源電圧下での使用に適した微細、高性能MOS型トランジスタに係わる。

【0002】

【従来の技術】MOS型トランジスタは、特に、MOSFETの集積化技術の向上に伴い、ゲート長0.5μm以下の領域の検討が各所で進められている。1974年にはデナード(R.L.Dennard)氏らによりMOSFETの微細化のためのいわゆるスケーリング則が提唱されている。これは、素子のある構成要素(例えば、チャネル長)のサイズを縮小する場合、その他の構成要素も同じ比率で縮小することによって、トランジスタとしての動作特性を確保するという法則である。基本的に1970年代から90年代初めにかけて続いてきたMOSLSIの高集積化は、この法則を基本にして実現されてきた。

【0003】しかし、より微細化が進み、各種の構成要素においても“物理的限界値”と言われるような限界値が近付き、その値を越えての縮小化は困難になりつつある。例えば、ゲート絶縁膜厚は3~4nm程度が薄膜化の限界と一般には言われており、この膜厚以下では、ゲート電極とソース／ドレイン電極間のトンネリング電流が増大し、トランジスタとしての正常動作は実現できないことが知られている。

【0004】そこで、ゲート絶縁膜は3nm程度に固定し、その他の構成要素の縮小を考えるという手法が1993年フィエナ(Fiena)らにより提案されている(著者C.Fiegna, H. Iwai, T. Wada, T. Saito, E. Sangiorgio, and B. Ricco; 論文名A new scaling methodology for the 0.1-0.025 μm MOSFET, Dig. of Tech. Papers, VLSISym

p. ; 出典Technol., Kyoto, pp. 33-34, 1993.)。その手法により同年小野(Ono)らにより $0.04\mu\text{m}$ ゲート長のトランジスタが実現されるに至っている(著者M. Ono, M. Saito, T. Yoshitomi, C. Fiegna, T. Ohguro, and H. Iwai; 論文名Sub-50 nm gate length n-MOSFETs with 10 nm phosphorus source and drain junction; 出典IEDMTech. Dig., pp. 119-122, 1993)。

【0005】ゲート絶縁膜厚 3nm かつゲート長 $0.04\mu\text{m}$ のトランジスタは次のように製造される。まず、 p 型シリコン基板上に、LOCOS法により、素子領域と、素子分離領域を形成した後、所望の閾値電圧が得られるようにチャンネル形成領域に p 型不純物(例えばB(ボロン))を導入する。

【0006】その後、ゲート酸化膜としてシリコン基板表面に 3nm の酸化膜を例えばDry O_2 雰囲気中で 800°C 、 10 分の酸化により形成する。その後、P(リン)含有条件で例えばポリシリコンを 100nm 堆積した後、レジストを塗布してパターンニングでゲート電極を所望の長さに加工作る。ソース/ドレイン形成領域への n 型不純物の導入は、ゲート電極側壁部に残したPSG膜(P(リン)含有シリコン酸化膜)からのPの固相拡散により形成する。金属配線部と良好に接続をとること、及びトランジスタの短チャネル効果に影響しない部分の拡散層を低抵抗にする目的で、この後、 n 型不純物をイオン注入法で例えば、 $5 \times 10^{15}\text{cm}^{-2}$ 導入する。このときの不純物拡散及び活性化のためのアニールは例えば 1000°C 、 10 秒という条件とする。その後、コンタクト部を開孔し、金属配線を施す。

【0007】このように製造したトランジスタは、ゲート側壁部下のソース/ドレイン拡散層のシート抵抗(ρ_s)が $6.2\text{k}\Omega/\square$ 、拡散長(つまり、ソース/ドレイン領域の深さ)はSIMS分析の結果 10nm であった。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来のトランジスタはソース/ドレイン領域が浅いことによってその寄生抵抗が相対的に大きくなる。そのため、ゲート長縮小に相応する駆動力の向上が得られなかった。

【0009】本発明は上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、駆動力が向上したMOS型半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置は、第一導電型の半導体基板と、該半導体基板上に絶縁膜を介して形成されたゲート電極と、該半導体基板のゲート電極直下に位置するチャンネル形成領域の両側に形成された第二導電型のソース/ドレイン領域とを備え、前記絶縁膜の厚さが $2.5\mu\text{m}$ 未満、好ましくは 2.0nm 以下、前記ゲート電極のゲート長が $0.3\mu\text{m}$ 以下である

ことを特徴とする。

【0011】また、この半導体装置は、電源電圧が 1.5V 以下の回路で使用されるとより望ましい特性が得られる。

【0012】

【作用】本発明によると、ゲート膜絶縁膜を 2.5nm 未満にすることにより、図3に示すようにホットキャリアストレス下での信頼性が大幅に向上する。また 2nm 以下にすれば一層向上する。

【0013】また、図4に示すように、チャンネル長を $0.3\mu\text{m}$ 以下にすることにより、ゲート電流が大幅に減少し、良好なトランジスタ特性を持つようになる。

【0014】したがって、本発明のゲート長 $0.3\mu\text{m}$ 以下かつゲート絶縁膜厚 2.5nm 未満にすると、良好なトランジスタ動作をし、かつホットキャリア信頼性に強いトランジスタが実現できた。

【0015】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。図1(a)は本発明の一実施例に係るMOS型トランジスタの構造を示すものである。この図において、1は第一導電型(例えば、 p 型)の半導体基板であり、この基板1上には酸化膜3を介してゲート電極2が形成されている。基板1におけるゲート電極2直下のチャンネル形成領域4各側にはソース領域5及びドレイン領域6となる第一導電型とは逆導電型(例えば、 n^+ 型)高濃度拡散層が形成されている。ゲート電極2には電源7、ドレイン領域6には電源8がそれぞれ接続されて使用されるものである。ゲート電極2のチャンネル形成領域4の長さ方向の寸法となるゲート長 L_g は $0.3\mu\text{m}$ 以下とされ、ゲート絶縁膜3の厚さ T_{ox} は 2.5nm 未満とされる。本発明のゲート長 L_g のトランジスタはコンダクタンス g_m の向上を図ると同時に、ドレイン領域6に流れ込むべき電流 I_{d1} 、 I_{d2} のうちゲートへ流れ込むトンネル電流 I_{d2} を減少させたものとなる。

【0016】図1(b)に本発明の実施例の代表的な構造図及び各部の寸法を示す。ゲート電極のゲート長(L_g)は $0.09\mu\text{m}$ 、ゲート絶縁膜厚(T_{ox})は 1.5nm 、ソース/ドレイン間の実効チャンネル長(L_{eff})は $0.05\mu\text{m}$ 、チャンネル近傍の拡散深さ(X_j)はソース、ドレインの他の領域に比べて浅く、 30nm である。この実施例ではこのチャンネル近傍の拡散層は、ゲート側壁に形成されたPSG膜から固相拡散により形成されており、いわゆるSPDD(Solid Phase Diffused Drain)構造のMOSトランジスタとなっている。

【0017】ここで本発明トランジスタの主要部の製造法についてまず説明する。ゲート酸化膜は、従来法により半導体基板1上に素子領域及び素子分離領域を形成した後、急速ランプ加熱法にて 800°C 、 10 秒の条件で酸化を行う。これにより、 1.5nm という上記条件に適合した膜厚のゲート絶縁膜3を形成することができ

た。また、 850°C 10秒の条件でゲート絶縁膜1.8 nmが形成できた。 900°C 5秒の条件でゲート絶縁膜2.0 nmのものが形成できた。温度及び時間を選択することにより、2.5 nm未満の所望の膜厚のゲート絶縁膜を形成することができた。その後、リン含有ポリシリコン膜を約100 nm堆積後、異方性エッチングによりパターンニングし、所望のゲート長 L_g のゲート電極を形成する。

【0018】HF処理を施した後、PSG膜（リン含有シリコン酸化膜）からの固相拡散により30 nm拡散長のソース／ドレイン領域5, 6が形成できた。図2はそのときの不純物濃度プロファイルを示すものである。そして、このような拡散層のシート抵抗 ρ_s は $1.4\text{ k}\Omega/\square$ にすることができた。なお、HF処理を施さない場合には $6.2\text{ k}\Omega/\square$ であった。

【0019】以降の工程は従来例と同様の方法にて作製する。上述した方法によりゲート長は最小のもので $0.06\text{ }\mu\text{m}$ が実現され、 $10\text{ }\mu\text{m}$ 以下 $0.06\text{ }\mu\text{m}$ まで、所望のサイズのゲート長のトランジスタが作製できた。また、ゲート酸化膜は厚さ1.5 nmをはじめ、2.5 nm未満の所望の膜厚のものが実現された。なお、このゲート長及びゲート絶縁膜厚の値は透過型電子顕微鏡：TEM (Transmission Electron Microscope) 観察により確認することができる。

【0020】以上のように形成したMIS型FETについて各種特性評価を行った結果を以下に説明する。

【0021】図3はホットキャリアストレス ($V_d = 2.5\text{ V}$ 、 I_{submax} 条件)でのトランスコンダクタンス劣化のゲート酸化膜厚依存性を示している。この図に示すように、ゲート酸化膜厚が2.5 nm未満の場合には相互コンダクタンス g_m の劣化は、トンネル電流が生ずる限界値と従来称されてきた3 nmの場合の劣化量の1/2になり、トランジスタの寿命が2倍以上向上するため、2.5 nm未満で使用されることが望ましい。

【0022】さらに、2.0 nm以下で使用されれば、トランジスタの寿命は3倍以上向上する。したがって、2.0 nmで使用されればさらに望ましい。ゲート酸化膜3の厚さ T_{ox} が2 nm以下の場合にはゲート長 $L_g = 0.10\text{ }\mu\text{m}$ で10%以下、ゲート $L_g = 0.14\text{ }\mu\text{m}$ で6%以下で落着くが、2.5 nmより大きくなると急激な劣化が見られた。

【0023】図4はトンネル電流 I_g のゲート長 L_g 依存性を示すものである。この図において、ゲート長 $L_g = 0.3\text{ }\mu\text{m}$ 以下の場合、ゲート幅 $W = 10\text{ }\mu\text{m}$ で酸化膜厚 $T_{ox} = 1.5\text{ nm}$ で $0.5\text{ }\mu\text{A}$ 未満、酸化膜厚 $T_{ox} = 1.8\text{ nm}$ では0.1未満に安定した。これに対し、ゲート長 $L_g = 0.3\text{ }\mu\text{m}$ を越えると急激なゲート電流の増大が見られた。

【0024】図5はドレイン電流 I_{d0} のゲート長 L_g 依存性を示すものである。この図においては、 $T_{ox} = 1.50$

5 nm、 $x_j = 30\text{ nm}$ の場合（本発明）、 $T_{ox} = 1.8\text{ nm}$ 、 $x_j = 30\text{ nm}$ の場合（本発明）、 $T_{ox} = 3.0\text{ nm}$ 、 $x_j = 12\text{ nm}$ の場合（従来例）についてそれぞれ示している。この図に示すように、従来のものに比べて駆動力が約2倍に向上していることがわかる。

【0025】図6はトンネル電流 I_g のゲート長 L_g 依存性、図7はコンダクタンス g_m のゲート長 L_g 依存性、をそれぞれ示すものである。これらの図においては、ゲート酸化膜厚 $T_{ox} = 1.5\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合（本発明）、 $T_{ox} = 1.8\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合（本発明）、 $T_{ox} = 3.0\text{ nm}$ 、拡散長 $x_j = 12\text{ nm}$ の場合（従来技術）についてそれぞれ示している。これらの図から明らかなように本発明のトランジスタは、同一ゲート長の従来のトランジスタと比べて1.5～2倍良好な駆動力及びトランスコンダクタンスが得られていることが解る。さらに、このときのゲート電流は I_g が $0.3\text{ }\mu\text{m}$ 以下で駆動力に比べ 10^4 以下（4桁小さい）になり、動作上問題ないことが確認された。

【0026】図8は基板電流 I_{sub} のゲート長 L_g 依存性、図9は基板電流インパクトイオン化率のゲート長 L_g 依存性について示すもので、これらはそれぞれトランジスタの信頼性に関する一つの指標となるものである。特に基板電流 I_{sub} については図8 (b)において更にゲート長 L_g をパラメータとし、 $V_g - I_{sub}$ 特性として表した。ここでは、ゲート酸化膜厚 $T_{ox} = 1.5\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合（本発明）、 $T_{ox} = 1.8\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合（本発明）、 $T_{ox} = 3.0\text{ nm}$ 、拡散長 $x_j = 12\text{ nm}$ の場合（従来）についてそれぞれ示している。本発明のトランジスタは、従来のトランジスタに比べ基板電流、インパクトイオン化率は大きい。

【0027】図17はトランスコンダクタンス g_m の劣化（ストレス時間に対するトランスコンダクタンスの劣化）特性を示すものである。ここでは、従来のトランジスタとして、酸化膜厚 $T_{ox} = 3.0\text{ nm}$ 、拡散長 $x_j = 12\text{ nm}$ 、ゲート長 $L_g = 0.10\text{ }\mu\text{m}$ のものと、酸化膜厚 T_{ox} 及び拡散長 x_j は同サイズでゲート長 $L_g = 0.17\text{ }\mu\text{m}$ のものとを対象とし、本発明のトランジスタとしては、酸化膜厚 $T_{ox} = 1.5\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ 、ゲート長 $L_g = 0.09\text{ }\mu\text{m}$ のものと、酸化膜厚 T_{ox} 及び拡散長 x_j は同サイズでゲート長 $L_g = 0.14\text{ }\mu\text{m}$ のものとを対象として試験を行った結果を示している。従来のトランジスタと本発明のトランジスタはおおむね同程度の時間依存性を有しているが、本発明のトランジスタは $\Delta g_m / g_m$ の値自体が低く、 g_m の劣化特性の向上が確認された。

【0028】図16はキャリア移動度の実効電界依存性を示すもので、これもトランジスタの信頼性の指標となるものである。Y. Toyoshima, H. Iwai, F. Matusoka, H. Haya

shida, K, Maeguchi, and K. Kanzaki, 'Analysis on gate-oxide thickness dependence of hot-carrier-induced degradation in thin-gate oxide nMOSFETs,' IEEE Trans. Electron Devices, vol. 37, No. 6, pp. 1496-1503, 1990.) キャリア移動度 ($1/\mu_{eff}$) を決定する要因としては、表面ラフネス散乱 ($1/\mu_{sr}$)、フォノン散乱 ($1/\mu_{ph}$)、クーロン散乱 ($1/\mu_c$) があり、全体の移動度 ($1/\mu_{eff}$) は、

$$\ln(1/\mu_{eff}) = \ln((1/\mu_c) + (1/\mu_{sr}) + (1/\mu_{ph}))$$

で表される。グラフ中の破線は各要因によるキャリア移動度を示し、実線はそれらを総合したキャリア移動度を示している。

【0029】これは、図17において、本発明のトランジスタが従来発明のトランジスタに比べてホットキャリア信頼性に優れていたのは、即ち劣化量 ($\Delta g_m/g_m$) が小さかったのは、図12に示すように、ホットキャリアストレスによって生じた界面準位の増大が、モビリティの劣化による駆動力の低下を引き起こす効果が、ゲート酸化膜厚が薄くなるほど見えにくくなることによる。酸化膜厚の薄い場合には、チャネルの縦方向の電界が非常に強いため、モビリティは、表面ラフネス散乱に主に支配され、界面準位によるクーロン散乱の影響は、モビリティに現れにくくなる。

【0030】したがって、薄膜ゲート酸化膜MOSFETの場合、基板電流、インパクトイオン化率が大いにもかかわらず、ストレス後の劣化の少ない良好な信頼性のトランジスタになったことが解る。

【0031】図10は電流 I_g 、 I_d の電源電圧 $V_d = V_g$ 依存性を示すものである。ここでは、酸化膜厚 $T_{ox} = 1.5 \text{ nm}$ 、ゲート長 $L_g = 0.14 \mu\text{m}$ 、拡散長 $x_j = 30 \text{ nm}$ の場合を示している。本発明のトランジスタは、さらに、 2.0 V 以下では I_g/I_d の比は、 1×10^{-4} 以下となり、動作上問題ないことがわかる。また、 1.5 V 以下では、上記の比は 6×10^{-5} 程度以下となり、さらに高信頼性のトランジスタが実現できた。

【0032】図11はドレイン電流 I_d のゲート電圧 V_g 依存性を示すものである。これは図10に示す特性を持つトランジスタと同じトランジスタについて測定したものである。本発明のトランジスタは低電圧下においても従来報告例に比べ3～5倍良好な駆動力が得られていることが確認された。

【0033】図12は I_g/I_d のドレイン電圧 V_d 依存性を示すものである。この図に示すように、ドレイン電圧 V_d が 1.5 V 以下で 6.0×10^{-5} 以下の良好な値が得られた。これに対し、ドレイン電圧 V_d が 1.5 V を越えると急激にトンネル電流 I_g が増加し、特性が劣化していることがわかる。

【0034】したがって、 1.5 V 以下の回路で使用されれば、本発明のトランジスタは良好な特性を持つこと

が解る。

【0035】また、本発明のトランジスタは 1.2 V 以下の回路で使用された場合、チャネル電流に対するゲート電流 I_g/I_d は 1.5 V 電源時に比べ約25%低減し、性能が著しく向上する。図10において、 I_g/I_d の値は 1.5 V で約 6×10^{-5} に対して 1.2 V に下げれば、 4.5×10^{-5} に低減する。ゲート電流 I_g の値も約50%低減した。

【0036】しかし、トランジスタの性能である相互コンダクタンスの値は、図21に示すように 1.5 V 1.010 mS/mm に対し、 1.2 V に電圧を下げて 995 mS/mm の値を持ち、1.5%の低下に留まる。したがって、 1.2 V 以下の回路で使用されれば、 1.5 V 電源時に比べ25%の I_g/I_d の向上により、さらに性能が飛躍的に向上する。

【0037】また、本発明のトランジスタは、 0.5 V 以下の回路で使用されれば、図10に示すように、ゲートリーク電流が 1.5 V 動作時に比べ、 $1/20$ 以下に低減することが解る。また、チャネル電流に対するゲート電流も約80%低減する。したがって、 0.5 V 以下の回路にて本発明のトランジスタが使用されれば、さらに低消費電力で高性能のトランジスタが実現される。

【0038】図13は $I_d - V_d$ 特性のゲート長依存性、図14はコンダクタンス g_m のゲート長依存性を示すものである。ここでは、ゲート長 L_g が $10 \mu\text{m}$ (a)、 $0.14 \mu\text{m}$ (b)、 $0.09 \mu\text{m}$ (c) のときの $I_d - V_d$ 特性、 g_m サブスレッショルド特性をそれぞれ示している。ゲート長 $10 \mu\text{m}$ の従来のトランジスタに見られる顕著なゲートリーク電流が本発明の微細デバイスにおいては抑制され、しかも $L_g = 0.09 \mu\text{m}$ で、 $g_m = 1010 \text{ mS/mm}$ という高性能が得られていることがわかる。

【0039】図15は電源電圧 0.5 V 以下でのトランジスタ特性を示すものである。このときの電源電圧は 0.5 V である。主要な特性について本発明及び従来のトランジスタの特性を対比して示す。同図(a)は本発明のトランジスタ特性、(b)は従来のトランジスタ特性であって、それぞれについて、駆動力 ($I_d - V_d$ 特性、サブスレッショルド特性、 $(\log I_d - V_g)$)、トランスコンダクタンス ($g_m - V_g$) 特性を示している。この図から明らかなように、本発明のトランジスタは従来のものよりも小さな電源電圧で大きなドレイン電流 I_d が流れ、またコンダクタンス g_m も大きな値が得られており、総合的に特性が向上している。本発明のトランジスタは、その 0.5 V という低い電源電圧においても 746 mS/mm という優れたトランスコンダクタンスが得られている。

【0040】図20はゲート長 $0.09 \mu\text{m}$ 、ゲート酸化膜厚 1.5 nm のときの本発明のトランジスタの相互コンダクタンスの電源電圧依存性である 0.5 V 動作

においても 860 mS/mm の非常に優れた相互コンダクタンスが得られている。

【0041】図21、22は本発明のトランジスタの相互コンダクタンス及び電流駆動力の電源電圧依存性を $0.4 \mu\text{m}$ ゲート長の従来トランジスタと比較したものである。 $0.4 \mu\text{m}$ トランジスタのゲート膜厚は 9 nm である。

【0042】現在汎用の 150 MHz で動作するマイクロプロセッサでは、約 $0.4 \mu\text{m}$ のゲート長の MOSFET が用いられており、この FET の場合、 3.3 V 電源下で、 200 mS/mm 程度のトランスコンダクタンスを持っている。よって、配線容量や抵抗が低減しないと、当然高速化は図れないが、素子のトランスコンダクタンスからの類推でいくと、今回実現した高駆動力の MOSFET は、現状の 3.3 V 動作のトランジスタに比べ、 1.5 の低電圧下で、約 5.7 倍の高速化の可能性を持っていることになる。 0.5 V の低電圧動作においても、 860 mS/mm のトランスコンダクタンスを有することから、現在の 3.3 V 動作に比べ、消費電力が約 $1/9$ になり、トランスコンダクタンスの比から 5 倍の高速化の可能性がある。

【0043】現在、商品化されている LSI（例えば MPU マイクロプロセッサ等）は、 3.3 V の電源電圧で、 200 MHz のクロック周波数で動作している。

【0044】本発明のトランジスタは、低い電源電圧（例えば 1.5 V あるいは 0.5 V ）においても高い電流駆動力を持つ。したがって電源の低電圧化による低電源電圧化（注：消費電力（P）は、電圧（V）の2乗に比例するため、低消費電力動作には、電源電圧を下げるのが有効である。しかし、一般には、電圧の低下は、トランジスタの電流駆動力の減少をもたらす、LSI としては、動作速度の低下をまねく。）においては、LSI 動作の一層の高速化が可能である。

【0045】LSI の消費電力は次の式で表現することができる。

$$P = k f c V_{dd}^2 + (I_{1s} + I_{1g}) V_{dd}$$

ここで、P：消費電力

f：クロック周波数

c：容量

V_{dd} ：電源電圧

I_{1s} ：サブスレシヨルド特性で生じるリーク電流

I_{1g} ：ゲートリーク電流

この式において、第一項 $k f c V_{dd}^2$ は、電荷の蓄積および消去（charge-discharge）によって消費される電力であり、第二項 $(I_{1s} + I_{1g})$ は、トランジスタのリーク電流成分によって消費される電力である。

【0046】尚、クロック周波数 f は、トランジスタの電流駆動力 I によって決まる値である。

【0047】電荷蓄積時間 t は、

【0048】

$t = Q/I = CV/I$ であり、 $f = I/CV$ で示すことができる。

【0049】ここで、チップあたりの消費電力を 10 W 、チップ用トランジスタ数を 3×10^6 個として、本発明のトランジスタ及び従来構造のトランジスタの消費電力及びクロック周波数の関係を示す（図25）。

【0050】ここで各トランジスタのしきい値電圧の設計は、しきい値電圧 $1 \mu\text{A}/\mu\text{m}$ として 3.3 V 電源で 0.6 V 、 2.0 V 電源で 0.4 V 、 1.5 V 電源で 0.3 V 、 1.0 V 電源で 0.2 V 、 0.5 V 電源で 0.15 V 、 0.3 V 電源で 0.1 V とした。

【0051】消費電力（P）とクロック周波数（f）の関係は、電荷の蓄積、消去で決まる領域及びリーク電流で決まる領域に分けることができる。

【0052】そして、図25（b）に示すように、リーク電流のうち、サブスレシヨルド特性で決まる成分は、各々のしきい値電圧から、値 1.5 V 電源電圧では、しきい値電圧 0.3 V であり、リーク電流による消費電力は、 4.5 mW である。同様に、

1.0 V 電源電圧で 30 mW 、

0.5 V 電源電圧で 45 mW 、

0.3 V 電源電圧で 100 mW

である。

【0053】一方、本発明のトンネルゲート酸化膜を用いた場合（ $L_g = 0.14 \mu\text{m}$ 、 $T_{ox} = 1.5 \text{ nm}$ ）のリーク電流は、 1.5 V 電源で、 $6 \times 10^{-8} \text{ A}/\mu\text{m}$ であり、1個あたりのトランジスタのゲート幅を $10 \mu\text{m}$ 、トランジスタ数を 3×10^6 個のとき、リーク電流による消費電力成分は、 2.7 W となる。

【0054】それぞれの場合についてまとめると、ゲート酸化膜厚 1.5 nm で

$L_g = 0.14 \mu\text{m}$ のとき、

1.5 V 電源電圧で 2.7 mW 、

1.0 V 電源電圧で 600 mW 、

0.5 V 電源電圧で 45 mW 、

0.3 V 電源電圧で 6.3 mW

$L_g = 0.09 \mu\text{m}$ のとき、

1.5 V 電源電圧で 540 mW 、

1.0 V 電源電圧で 120 mW 、

0.5 V 電源電圧で 9 mW 、

0.3 V 電源電圧で 1.3 mW

である。

【0055】一方図25（a）に示すように、電荷の蓄積、消去によって決まる消費電力は、通常の $L_g = 0.4 \mu\text{m}$ 、 $T_{ox} = 9 \text{ nm}$ のトランジスタの 3.3 V 動作を基準にすると、このトランジスタの駆動は $0.40 \text{ mA}/\mu\text{m}$ である。

【0056】本発明のトランジスタは、 $L_g = 0.14 \mu\text{m}$ 、 $T_{ox} = 1.5 \text{ nm}$ のトランジスタでは、 1.5 V 電源で消費電力は、 1.2 倍、クロック周波数は 5.7

倍である。0.5V動作では、消費電力は、0.047倍、クロック周波数は2.1倍である。

【0057】また、 $L_g = 0.09 \mu m$ 、 $T_{ox} = 1.5 nm$ のトランジスタでは、1.5V動作で1.8倍の消費電力、8.6倍のクロック周波数になる。0.5V動作で0.11倍の消費電力、4.9倍のクロック周波数になる。

【0058】また、上述のゲートリーク電流成分は、電荷の蓄積消去によって消費される本質的な消費電力成分に比べ約1桁小さく問題にならない。

【0059】したがって、図25(c)に示すように、200MHz、3.3V動作のLSIに比べ、本発明のトランジスタでは、1.5V動作では、同じ消費電力で5倍の高周波動作(約1000GHz)0.5V動作では1/9の低消費電力化で5倍の高クロック動作が可能である。

【0060】また、200MHzで動作させるならば、0.3Vまで電源電圧を下げ、消費電力を1/100の100mW以下にすることができる。

【0061】また、本トランジスタは、低電圧下でも高い相互コンダクタンスを持っている(1.5Vで1,010mS/mm、0.5Vで860mS/mm、従来は3.3Vで200mS/mm程度)ため、現行の5倍程度の高周波アナログ動作が低電圧下で可能となる。

【0062】例えば、1~数10GHz動作の通信用の高周波アナログICは、主にバイポーラやGaAsなどのトランジスタを用いているが、これを本発明のCMOSで置き換えることが可能になる。

【0063】LSIの高集積化、高速化を達成するために、MOS型トランジスタの微細化が、従来より行われてきている。もちろん高速化のためには、配線の低容量化、低抵抗化や、素子の寄生容量や寄生抵抗の低減化が重要であるが、素子自身の微細化も高駆動力化の大きなカギになる。今後、低消費電力化のために、より低電圧下でのデバイスの利用が求められているが、いかに低電圧下で高駆動力のトランジスタを形成するかが、重要な課題となる。

【0064】また、通常は、例えば文献(著者G. G. Shahidi, J. Warnock, A. Acovic, P. Agnello, C. Blair, C. Bucelot, A. Burghartz, E. Crabbe, J. Cressler, P. Coane, J. Comfort, B. Davarl, S. Fischer, E. Ganin, S. Gittleman, J. Keller, K. Jenkins, D. Klans, K. Kiewtniak, T. Lu, P. A. McFarland, T. Ning, M. Polcari, S. Subbana, J. Y. Sun, D. Sunderland, A. C. Warren, C. Wong; 論文名A HIGH PERFORMANCE 0.15 μm CMOS; 出典Dig. of Tech. Papers, VLSI Symp. on Tech., Kyoto, PP. 93-94, 1993=以下文献[a]という)に示されるように、通常、1.8V電源では、nMOSは480ms/mm以下、pMOSは250ms/mm以下の相互コンダクタンスgmが得られているにすぎない。したがって、この文献[a]のトランジスタでは

1.5V電源においても、せいぜい上述の480ms/mm、250ms/mmの値が得られるにすぎない。一方、文献(著者Y. Taur, S. Wind, Y. J. Mii, Y. Lii, D. Moy, K. A. Jenkins, C. L. Chen, P. J. Coane, D. Klaus, J. Bucchignano, M. Rosenfield, M. G. R. Thomson, and M. Polcari; 論文名 High Performance 0.1 μm CMOS Device with 1.5V Power Supply; 出典 IEDM Tech. Dig., pp. 127-130, 1993

=以下文献[C]という)に示されるものでは1.5V電源でnMOSは620ms/mm、pMOSは290ms/mmの値が得られているにすぎない。また、文献(著者Y. Mii, S. Rishton, Y. Teur, D. Kern, T. Lii, K. Lee, K. Jenkins, D. Quinlan, T. Brown Jr., D. Danner, F. Sewell, and M. Polcari; 論文名High Performance 0.1 μm nMOSFET's with 10ps/stage Delay(85K) at 1.5V Power Supply; 出典Dig. of Tech. Papers, VLSI Symp. on Tech., Kyoto, pp. 91-92, 1993)では電源電圧の記述がないが、nMOSで740ms/mmの値が得られていることが示されている。また、例えば、文献(著者Y. Mii, S. Wind, Y. Lii, D. Klaus, and J. Bucchignano; 論文名An Ultra-Low Power 0.1 μm CMOS; 出典Dig. of Tech. Papers, VLSI Symp. on Tech., Hawaii, pp. 9-10, 1994 =以下文献

[B]という)に示されているものは、0.5V電源ではnMOSで340ms/mm、pMOSで140ms/mm以下の相互コンダクタンスgmが得られているにすぎない。したがって、1.5V以上電源でnMOSが620ms/mm以上、pMOSが290ms/mm以上、1.2V以上の電源でnMOSが540ms/mm以上、pMOSが245ms/mm以上、0.5V以上の電源でnMOSが340ms/mm以上、pMOSが140ms/mm以上の性能を有するためには、トランジスタの構造として本発明の構成を有することが必要である。

【0065】同様に電流駆動力については、通常は例えば文献[B]に示されるように、0.5V電源ではnMOSは0.052mA/ μm 、pMOSは0.032mA/ μm に留まっている。また、1.5V電源では文献[C]に示されるように、nMOSは0.65mA/ μm 、pMOSは0.3mA/ μm に留まっている。したがって、1.5V以上の電源でnMOSが0.65mA/ μm 以上、pMOSが0.30mA/ μm 以上、1.2V以上の電源でnMOSが0.47mA/ μm 以上、pMOSが0.22mA/ μm 以上、0.5V以上の電源でnMOSが0.052mA/ μm 以上、pMOSが0.032mA/ μm 以上の駆動力を得るには、トランジスタの構造として本発明の構成を有することが必要である。

【0066】上述の相互コンダクタンス及び電流駆動力の値はいずれも室温における特性値である。

【0067】したがって、ある電源電圧(VDD)下でnMOSにおいて、

$g_m \geq 280 VDD + 200$

pMOSにおいて

$g_m \geq 150 VDD + 65$

となる構造が本発明の特徴となる。単位はVDD (V)、 g_m (ms/mm) である。

【0068】また、電流駆動力としては

nMOSが $I_d \geq 0.598 VDD - 0.247$

pMOSが $I_d \geq 0.268 VDD - 0.102$

となる構造が本発明の特徴となる。単位はVDD (V)、 I_d (mA) である。

【0069】また、これらの値については特にゲート長の値を記述していないが、いずれも0.1 μm 近辺の大きさである。

【0070】MOSFETの駆動力はゲート長を短くし、チャネルの電界を強くすることにより、電子や正孔の速度を上げる手法が駆動力向上に有効であることは、よく知られているが、ゲート長を短くし、チャネル電界を強くする方法においては、ゲート長が0.1 μm 、あるいは、それ以下で、原理的には、速度飽和（チャネルの電界がある程度強くなると、それ以上電界が強くなっても電子や正孔の速度が飽和し向上しないという現象。）が生じ、高速化が飽和しつつあった。

【0071】微細ゲートのMOSFETとして、昨年、ゲート長0.04 μm の世界最小のnMOSFETを作製し、その室温動作を報告したが、その電流駆動力は、0.1 μm ゲート長のトランジスタと比べて、2～3割の向上に留まるものであった。

【0072】したがって、前述した相互コンダクタンス及び駆動力の値は、特にゲート長を規定しなくとも、従来の方法では実現できず、本発明の構成を持つトランジスタで実現できるものである。

【0073】以上のように、本発明により従来に比べ駆動力、信頼性ともに良いトランジスタが実現できた。

【0074】以上はシリコン酸化膜をゲート絶縁膜に用いる説明してきたが、本発明はそれと同等のゲート容量を有する絶縁膜、を用いても、同様の効果がある。絶縁膜としては、例えば、シリコン窒化膜 (Si_3N_4)、シリコン窒化酸化膜 (SiO_xNy) シリコン窒化膜とシリコン酸化膜の積層膜 (SiO_2/Si_3N_4 、 Si_3N_4/SiO_2 、 $SiO_2/Si_3N_4/SiO_2$ 、 $Si_3N_4/SiO_2/N_4$) あるいはタンタルオキシド (TaO_x)、チタン酸ストロンチウム膜 ($TiSr_xO_y$) それらとシリコン酸化膜、シリコン窒化膜との積層膜等がある。これらの絶縁膜のゲート容量がシリコン酸化膜換算で、シリコン酸化膜厚2.5 nm未満と同等であれば、本発明の効果が得られる。例えば、シリコン窒化膜の比誘電率7.9はシリコン酸化膜3.9の約2倍であり、シリコン窒化膜を用いる場合は、膜厚5 nm未満の場合において本発明の効果が得られる。前述したいずれの絶縁膜を用いる場合において、このゲート絶

縁膜中をトンネルリーク電流が流れても、シリコン酸化膜中をトンネル電流が流れる絶縁膜厚でトランジスタを構成するという要旨と一致しており、同等の効果がある。また、上述のシリコン酸化膜2.5 nm未満と同等のゲート容量を有する絶縁膜であれば、トンネル電流が流れないため、消費電力が低減し、さらに低消費電力で高性能なトランジスタが実現できる。

【0075】例えば、トランジスタ1個あたり、 10^{-8} Aのゲートトンネルリークを持つMOSFETを100万個集積した場合、10 mAの電力が消費される。一方、トンネル電流が流れないトランジスタを使用した場合には、この10 mAの消費電力が抑えられ、LSIとしての性能の向上を図ることができる。

【0076】また本発明のトランジスタは、半導体装置の一部に使用されると、高性能かつ安価な半導体装置が実現する。

【0077】図18は、半導体装置の一部に本発明のトランジスタを使用した半導体装置の概略図である。特に大電流で駆動することが要求される周辺回路の部分に、図18(b)に示すように本発明トランジスタを用いると良い。このような半導体装置は、次のような製造法で作製できる。

【0078】従来法により半導体基板上に素子領域及び素子分離領域を形成したのち、例えば炉酸化法にて800℃酸素雰囲気中でシリコン表面を酸化し、4 nmの第1のシリコン酸化膜を形成する。その後、本発明トランジスタ形成領域のみ前記第1のシリコン酸化膜を除去する。その後、急速ランプ加熱法にて所望の膜厚の第2のシリコン酸化膜を形成する。以降の工程は前述した本発明のトランジスタの形成方法と同様の工程を経て作製する。

【0079】このように作製した半導体装置は、大電流で駆動されるトランジスタが要求される領域に本発明で作製した高性能なトランジスタが形成され、全体として優れた半導体装置になる。従来、例えば高速論理デバイスにおいては、図19に示すように周辺回路部分(I/O部)をバイポーラトランジスタで形成し、内部論理回路をCMOSトランジスタで形成し、高速化を図った。

【0080】本発明を用いることで、CMOSのプロセスのみで作製が可能になり、安価に高性能な素子を実現することができた。

【0081】本実施例においては、特にnMOSFETの例を用いて説明したが、本構造は同様にpMOSFETにも応用ができる。この場合、ゲート側壁部はBSG (B (ボロン) 含有シリコン酸化膜) で形成し、浅いp型のソース/ドレイン領域を形成すればよい。これは文献 (著者M. Saito, T. Yoshitomi, H. Hara, M. Ono, Y. Akasaka, H. Nii, S. Matsuda, H. S. Momose, Y. Katsumata, and H. Iwai: 論文名P-MOSFETs with Ultra-Shallow Solid-Phase-Diffused Drain Structure Produced by Diffusion from

BSG Gate-Sidewall ; 出典IEEE Trans. Electron Devices, vol. ED-40, no. 12, pp. 2264-2272, December, 1993) において報告されている。

【0082】また、上述のように、BSG側壁からの固相拡散技術でなく、通常のB（ボロン）原子のイオン打込み法によりソース／ドレイン拡散層を作製しても良い。

【0083】図24は、イオン打込み法でソース／ドレイン拡散層を形成したp型MOSFETの電気的特性である。このときゲート酸化膜厚は1.5nm、ゲート長は0.2μmである。本発明で作製されたpMOSFETは1.5V電源で0.41mA/μmの電流駆動力、及び408ms/mmの相互コンダクタンスを有し、文献（著者Y. Taur, S. Wind, Y. J. Mii, Y. Lii, D. Moy, K. A. Jenkins, C. L. Chen, P. J. Coane, D. Klaus, J. Bucchignano, M. G. R. Thomson, and M. Polcari ; 論文名 “High Performance 0.1μm CMOS Devices with 1.5V Power Supply; 出典IEDM Tech. Dig., pp. 127-130, 1993) において報告されている0.2μmゲート長pMOSFETの性能値約200ms/mmを大幅に上回る高い性能を持つ。またこのTrは、0.5V電源で0.06mA/μmの駆動力と約350ms/mmの相互コンダクタンスが得られている。

【0084】また、本実施例においては、拡散層深さ30nmの例を用いて説明したが、拡散及び活性化のためのアニール条件を700℃から1,100℃の間で適宜温度と時間を選択することにより、所望の拡散層深さを自由に選ぶことができる。

【0085】図23はチャネル電流Idに占めるゲート電流Igの比率Ig/Idが酸化膜厚Toxとゲート長Lgでどう変化するか示したものである。比率Ig/Idが同一になるのは酸化膜厚1.5nmの場合に比べ、20%厚い1.8nmの場合では、ゲート長は膜厚1.5nmのときの1/2まで短くした場合に、同じ量のリーク電流を生ずることが解る。

【0086】図12に示すように、Ig/Idが急激に増大するポイントである 6×10^{-5} を限界値として、それ以下の特性となるゲート長Lg、絶縁膜厚Toxが好ましいとすると、下記の式が成立する。限界の 6×10^{-5} Ig/Id比のあるとき、

$$Tox (nm) = \log Lg (\mu m) + 2.02$$

したがって、ある絶縁膜厚Tox (nm) のときに許容されるゲート長Lg (μm) は、

$$Lg \leq 10^{(Tox-2.02)}$$

LSIの集積度向上のために消費電力となるゲート電流をさらに低減し、100万個(1M(メガ)bit)のメモリに応用される場合、LSIとしての消費電力への影響を10mA程度とする。1個あたりのトランジスタのゲート電流として許容されるのは 10^{-8} A/μmとすると、図6より、この図は10μmゲート幅あたりのゲ

ート電流で記述してあるので、 10^{-8} A/μmとなるのはTox=1.5nmのとき、0.15μm、Tox=1.8nmのとき0.30μmである。

【0087】

$$Tox (nm) = \log Lg (\mu m) + 2.32$$

したがって、ある膜厚で許容されるゲート長Lg (μm) の値は

$$Lg \leq 10^{(Tox-2.32)}$$

であれば、さらに性能が向上し、集積度の高いLSIに応用できる。

【0088】

【発明の効果】以上説明したように本発明によれば、ゲート絶縁膜の厚さを2.5nm未満とすることにより、ホットキャリアストレス下での信頼性が向上するとともに、ゲート長を0.3μm以下にすることで、ソース／ドレイン電極からゲート電極へのトンネル電流Igを減少させることができ、トランジスタ特性の向上を図ることができる。また、電源電圧1.5V以下で使用すれば、さらに信頼性の高いトランジスタが実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るMOS型トランジスタの構造を示す素子断面図。

【図2】図1に示すトランジスタの不純物濃度プロファイル図。

【図3】同トランジスタのホットキャリアストレス(Vd=2.5V、Isubmax、1000秒ストレス印加)下のトランスコンダクタンスの劣化量のゲート酸化膜厚依存性を示す曲線図。

【図4】同トランジスタのトンネル電流Igのゲート長Lg依存性を示す曲線図(W=10μm)。

【図5】同トランジスタのドレイン電流Id0のゲート長Lg依存性を示す曲線図(W=10μm)。

【図6】同トランジスタのトンネル電流Igのゲート長Lg依存性を示す曲線図(W=10μm)。

【図7】同トランジスタのコンダクタンスgmのゲート長Lg依存性を示す曲線図(W=10μm)。

【図8】同トランジスタの基板最大電流Isubmaxのゲート長Lg依存性を示す曲線図(W=10μm) (a) 及びトランジスタの基板電流Isubのゲート電圧依存性を示す曲線図(W=10μm) (b)。

【図9】同トランジスタのインパクトイオン化率のゲート長Lg依存性を示す曲線図(W=10μm)。

【図10】同トランジスタの電流Ig、Idの電源電圧Vd=Vg依存性を示す曲線図(Lg=0.14μm、W=10μm)。

【図11】同トランジスタのドレイン電流Idの電源電圧Vd=Vg依存性を示す曲線図。

【図12】同トランジスタのIg/Idの電源電圧(Vd=Vg)依存性を示す曲線図。

【図13】同トランジスタのId-Vd特性のゲート長

依存性を示す曲線図。

【図14】同トランジスタのコンダクタンス g_m のゲート長依存性を示す曲線図。

【図15】本発明のトランジスタの主要な特性について従来のトランジスタの特性を対比して示す曲線図（電源電圧 $0.5V$ ）。

【図16】キャリア移動度の実効電界依存性を示す曲線図。

【図17】本発明の一実施例に係るMOS型トランジスタのコンダクタンス g_m の劣化（ストレス時間に対するトランスコンダクタンスの劣化）特性を示す曲線図。

【図18】本発明による半導体装置の例、全領域の半導体装置を本発明のMOSFETで作製した半導体装置（a）、一部の領域で本発明のMOSFETを作製した半導体装置（b）、及び周辺部領域で本発明のMOSFETを作製した半導体装置（c）の構成を示す概略説明図。

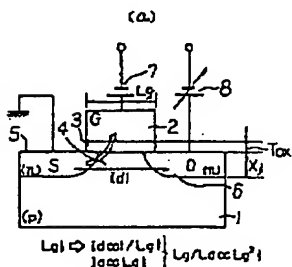
【図19】バイポーラトランジスタとCMOSトランジスタで形成した高速半導体装置の従来例の構成を示す概略説明図。

【図20】 $L_g = 0.09 \mu m$ 、 $T_{ox} = 1.5 nm$ トランジスタの相互コンダクタンスの電圧依存性を示す曲線図。

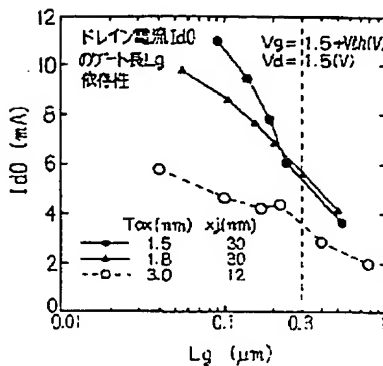
【図21】相互コンダクタンスの電源電圧依存性を示す曲線図。

【図22】単位あたり電流駆動力の電源電圧依存性を示す曲線図。

【図1】



【図5】



す曲線図。

【図23】ゲート長 L_g に対するチャネル電流に対するゲート電流比 I_g / I_d を示す曲線図。

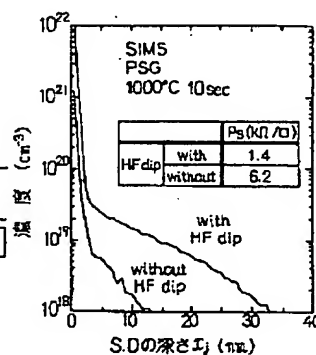
【図24】 $T_{ox} = 1.5 nm$ 、 $L_g = 0.2 \mu m$ pMOSトランジスタの特性 ($I_d - V_d$ 特性 (a)、 $g_m - V_g$ 特性 (b)) を示す曲線図。

【図25】 $L_g = 0.4 \mu m$ 、 $T_{ox} = 9 nm$ トランジスタ（従来例）、 $L_g = 0.1 \mu m$ 、 $T_{ox} = 3 nm$ トランジスタ（従来例）、 $L_g = 0.14 \mu m$ 及び $L_g = 0.09 \mu m$ 、 $T_{ox} = 1.5 nm$ トランジスタ（本発明）について、クロック周波数と電荷の蓄積消去及びサブスレシヨルドリークで決まる消費電力との関係 (a)、クロック周波数とゲートリーク電流で決まる消費電力成分との関係 (b)、全てのトランジスタを同一消費電力、あるいは同一クロック周波数条件としたときの消費電力とクロック周波数との関係 (c) とそれぞれ示す曲線図。

【符号の説明】

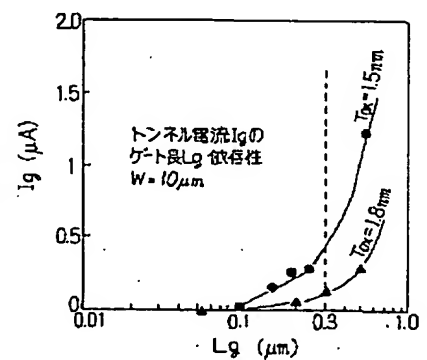
- 1 半導体基板
- 2 ゲート電極
- 3 ゲート酸化膜
- 4 チャネル形成領域
- 5 ソース領域
- 6 ドレイン領域
- 7 ゲート電源
- 8 ドレイン電源

【図2】

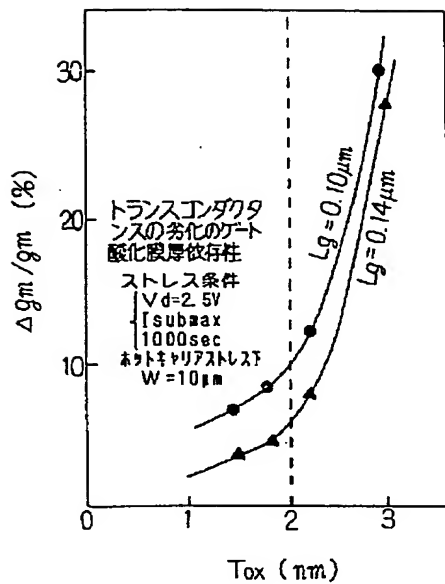


ソース(S)/ドレイン(D)領域の拡散域に対する温度プロファイル

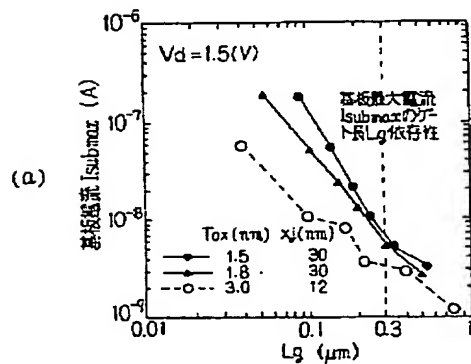
【図4】



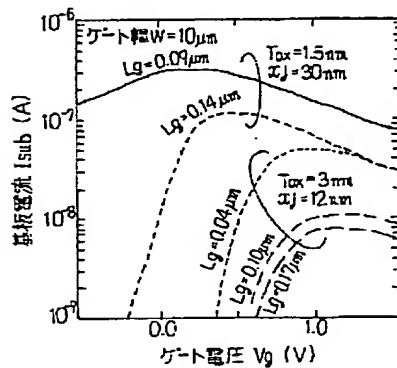
【図3】



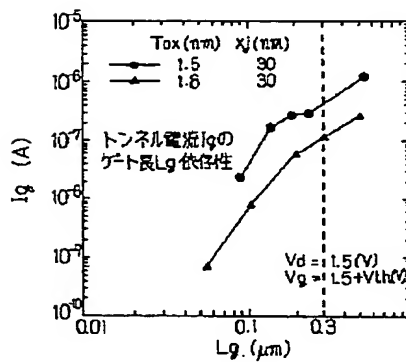
【図8】



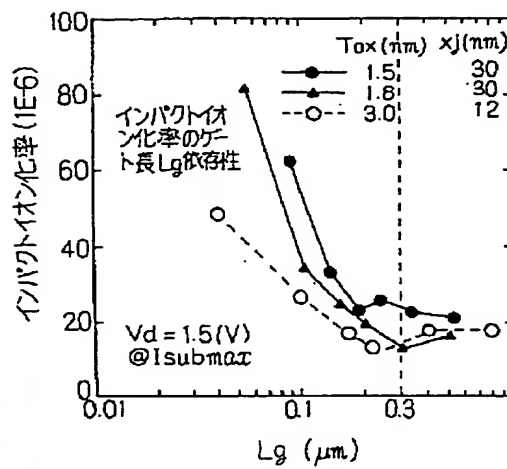
(b)



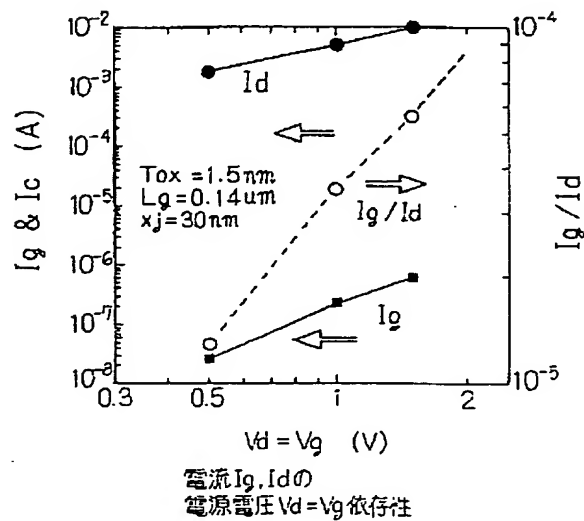
【図6】



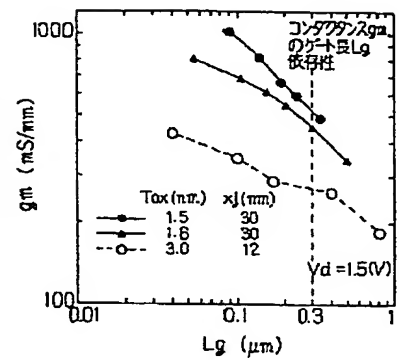
【図9】



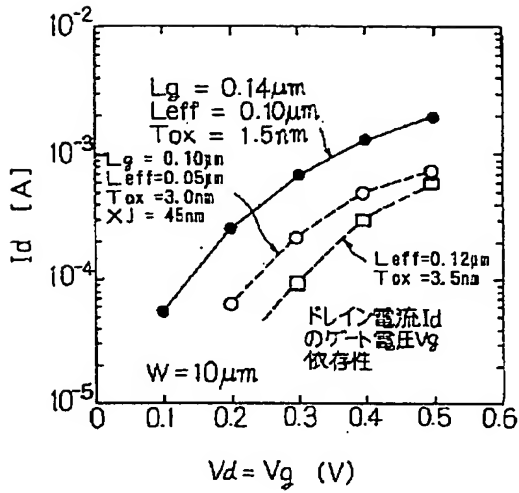
【図10】



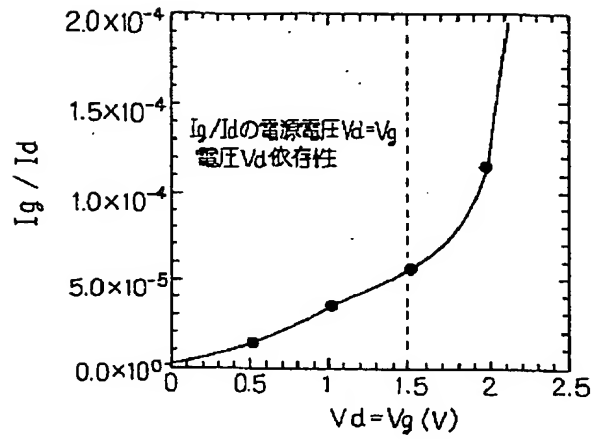
【図7】



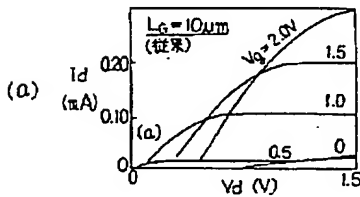
【図 11】



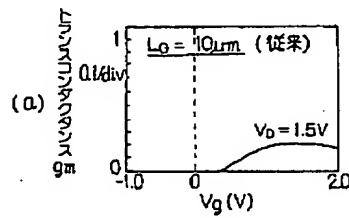
【図 12】



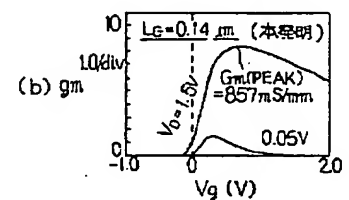
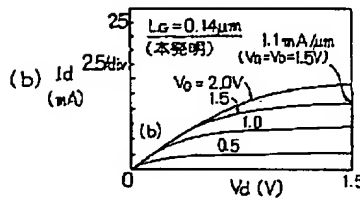
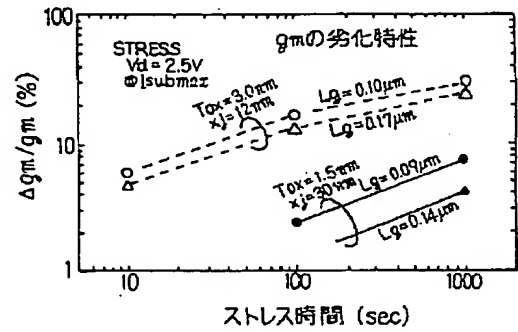
【図 13】



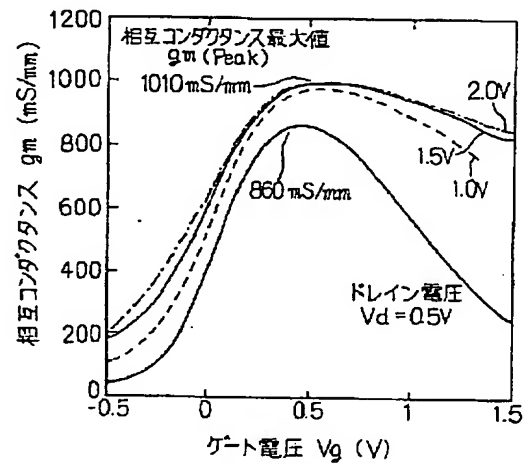
【図 14】



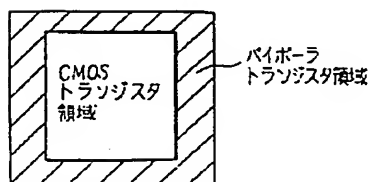
【図 17】



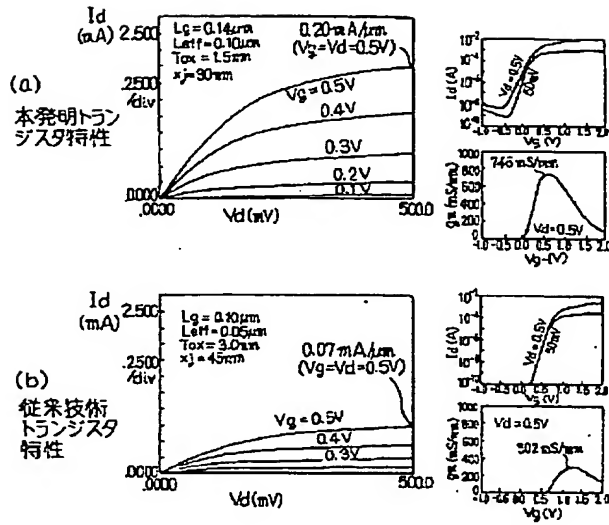
【図 20】



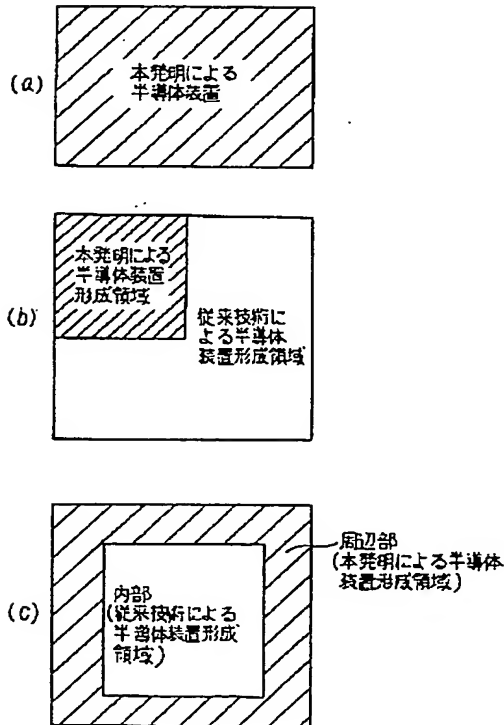
【図 19】



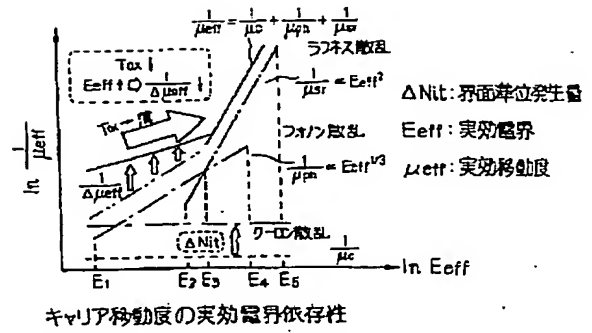
【図 15】



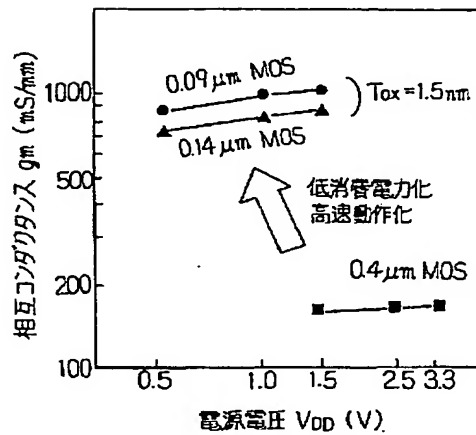
【図 18】



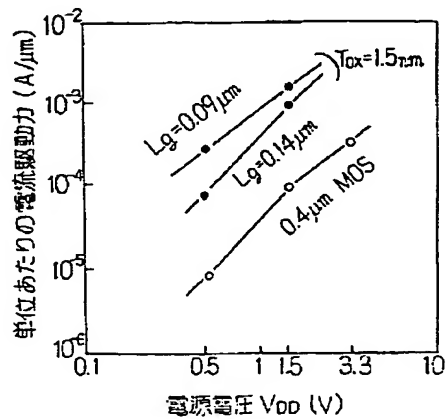
【図 16】



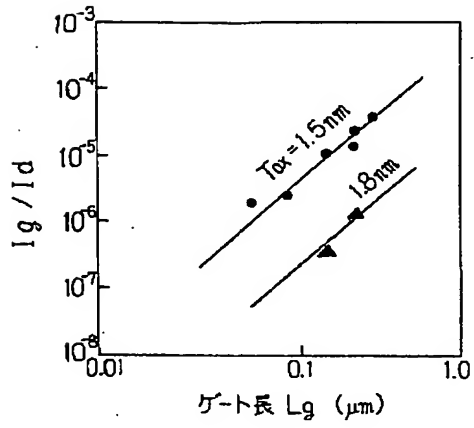
【図 21】



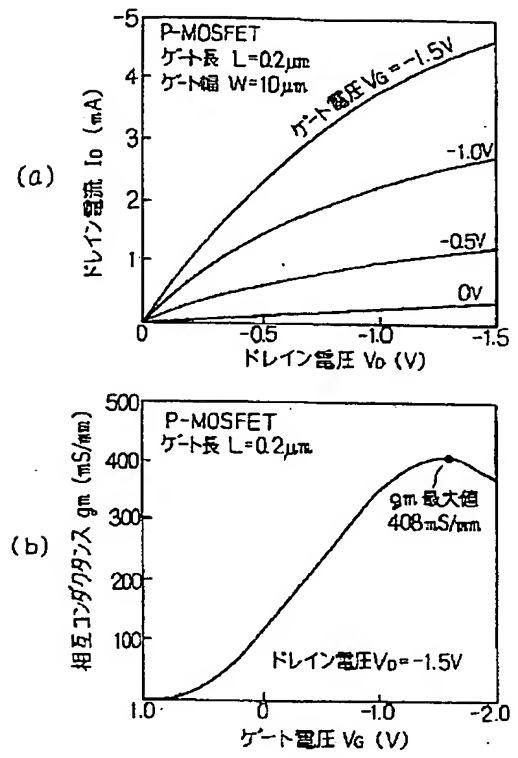
【図 22】



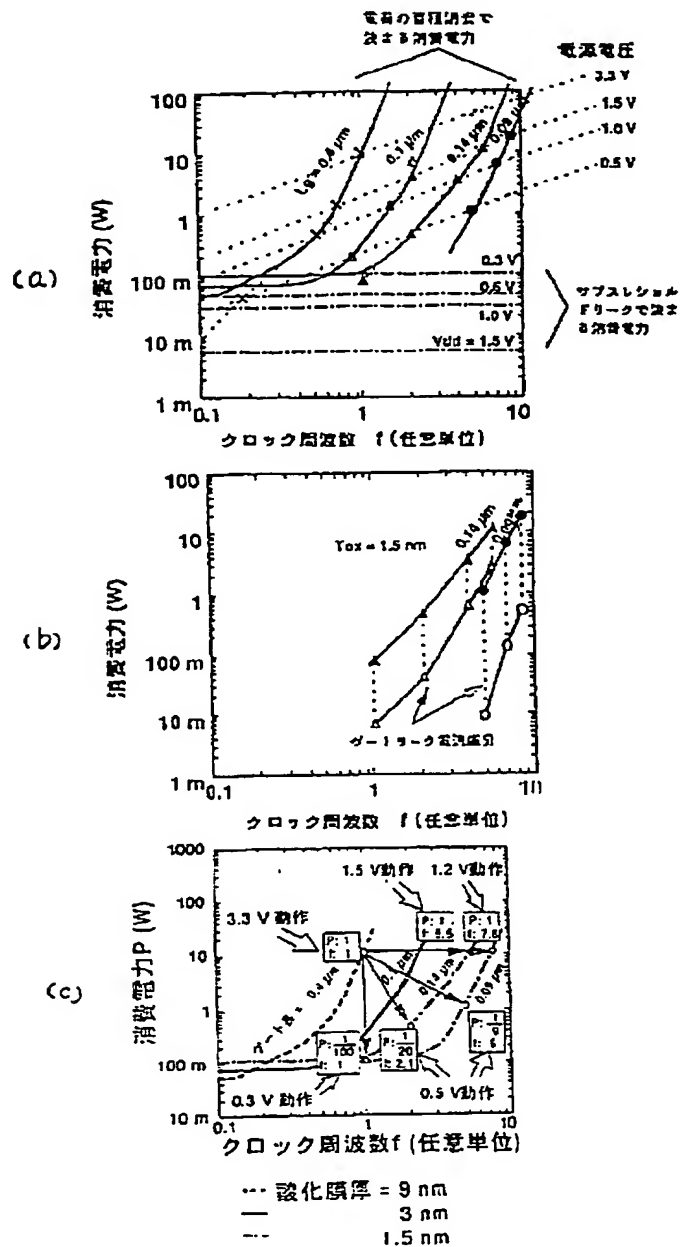
【図 2 3】



【図 2 4】



【図25】



フロントページの続き

(72)発明者 大黒達也
神奈川県川崎市幸区小向東芝町1 株式会社
社東芝研究開発センター内

(72)発明者 小野瑞城
神奈川県川崎市幸区小向東芝町1 株式会社
社東芝研究開発センター内

(72)発明者 吉富崇
神奈川県川崎市幸区小向東芝町1 株式会社
社東芝研究開発センター内

(72)発明者 中村新一
神奈川県川崎市幸区小向東芝町1 株式会社
社東芝研究開発センター内



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002016839 A**(43) Date of publication of application: **18.01.02**

(51) Int. Cl.

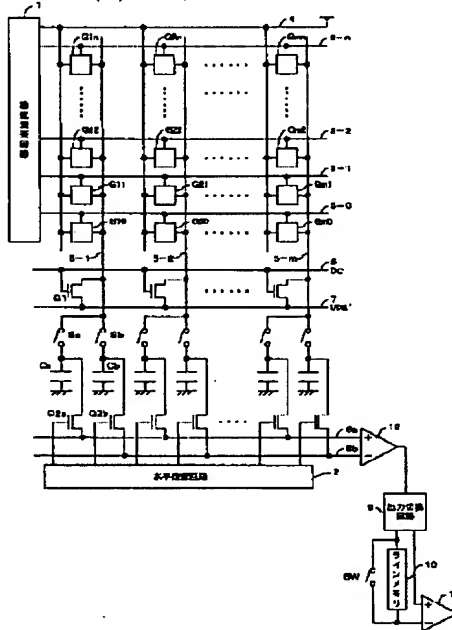
H04N 5/335
H01L 27/146
(21) Application number: **2000197745**(22) Date of filing: **30.06.00**(71) Applicant: **MINOLTA CO LTD**(72) Inventor: **HAGIWARA YOSHIO**(54) **SOLID-STATE IMAGING APPARATUS**

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device which can cancel a solid-state pattern noise due to irregularities caused in an output signal caused by the circuit constitution of the solid-state imaging apparatus.

SOLUTION: Outputs to be used as correction data from pixels G10 to Gm0 for correction are given to a line memory 10, and they are stored as correction data in every column inside the line memory 10. When outputs to be used as image data are output in ordinary pixels G11 to Gmn, the correction data from the pixels for correction which are arranged in the same column as the ordinary pixels which output image data to be given to the noninverting input terminal of a differential amplifier circuit 11 are given to the inverting input terminal of the circuit 11. In this manner, the image data from the respective ordinary pixels are corrected and output on the basis of the correction data stored in the line memory 10 in the circuit 11.



This Page Blank (uspto)